

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-249102

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

G02F 1/133

G02F 1/133

G09G 3/36

(21)Application number : 10-046744

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.02.1998

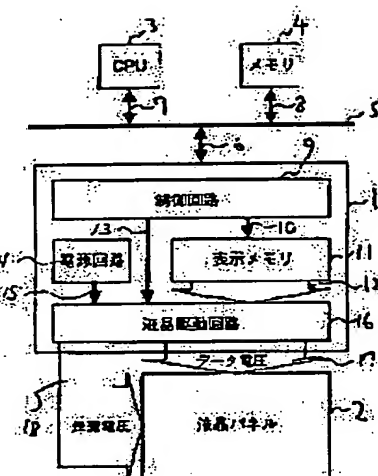
(72)Inventor : NITTA HIROYUKI
MANO HIROYUKI
KUDO YASUYUKI
TSUNEKAWA SATORU

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable price-down and power consumption reduction by enabling the production of a liquid crystal driver LSI through a low voltage resistant process enabling small chip sizing by lowering a liquid crystal driving voltage.

SOLUTION: While using the liquid crystal materials of duties more than the number of display lines on a liquid crystal panel 2, the bias ratio of a scanning voltage 18 and a data voltage 17 for liquid crystal panel driving is adjusted so that the liquid crystal driving voltage can be lowered. Besides, by reducing the number of stages in the boosting circuit of a power source circuit 4 by lowering the liquid crystal driving voltage, power efficiency can be easily improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the liquid crystal display characterized by using the above-mentioned liquid crystal panel as the liquid crystal ingredient of the larger number of duty than the number of display Rhine in the liquid crystal display equipped with the liquid crystal panel which consists of a data electrode and a scan electrode, the data electrical-potential-difference drive circuit which generates the driver voltage corresponding to an indicative data, the scan electrical-potential-difference drive circuit which makes sequential selection of the scan line of a liquid crystal panel, and the power circuit which generates liquid crystal driver voltage.

[Claim 2] It is the liquid crystal display characterized by the drive method in the above-mentioned data electrical-potential-difference drive circuit and the above-mentioned scan electrical-potential-difference drive circuit being a two-line coincidence selection drive in a liquid crystal display according to claim 1.

[Claim 3] It is the liquid crystal display by which it is becoming [the above-mentioned power circuit / less than / 6V]-in liquid crystal display according to claim 1 characterized.

[Claim 4] The liquid-crystal driver voltage which generates in the above-mentioned power circuit in the liquid crystal display equipped with the liquid crystal panel which consists of a data electrode and a scan electrode, the data electrical-potential-difference drive circuit which generates the driver voltage corresponding to an indicative data, the scan electrical-potential-difference drive circuit which makes sequential selection of the scan line of a liquid crystal panel, and the power circuit which generate liquid-crystal driver voltage is the liquid crystal display characterized by being small than the scan electrical potential difference from which the ratio of the ON state voltage which serves as max with the number of display Rhine, and OFF state voltage serves as max.

[Claim 5] It is the liquid crystal display characterized by the drive method in the above-mentioned data electrical-potential-difference drive circuit and the above-mentioned scan electrical-potential-difference drive circuit being a two-line coincidence selection drive in a liquid crystal display according to claim 4.

[Claim 6] It is the liquid crystal display by which it is becoming [the above-mentioned power circuit / less than / 6V]-in liquid crystal display according to claim 4 characterized.

[Claim 7] The liquid crystal driver voltage generated in the above-mentioned power circuit in the liquid crystal display equipped with the liquid crystal panel which consists of a data electrode and a scan electrode, the data electrical-potential-difference drive circuit which generates the driver voltage corresponding to an indicative data, the scan electrical-potential-difference drive circuit which makes sequential selection of the scan line of a liquid crystal panel, and the power circuit which generates liquid crystal driver voltage is a liquid crystal display by which it is carrying-out-to 3 or less times-pressure up of input power electrical potential difference characterized.

[Claim 8] It is the liquid crystal display characterized by the drive method in the above-mentioned data electrical-potential-difference drive circuit and the above-mentioned scan electrical-potential-difference drive circuit being a two-line coincidence selection drive in a liquid crystal display according to claim 7.

[Claim 9] It is the liquid crystal display by which it is becoming [the above-mentioned power circuit / less than / 6V]-in liquid crystal display according to claim 7 characterized.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a liquid crystal display, and belongs to the liquid crystal ingredient, drive circuit, and liquid crystal driver circuit of a passive matrix liquid crystal panel especially.

[0002]

[Description of the Prior Art] The conventional liquid crystal display showed to the data electrode in the liquid crystal panel which consists of a data electrode which crosses in all directions, and a scan electrode by impressing a selection electrical potential difference to the liquid crystal driver voltage corresponding to an indicative data, and a scan electrode. For example, since, as for the LSI pressure-proofing which drives a liquid crystal panel by the liquid crystal driver LSI of one chip for portable small devices, 15V were needed by 64 duty like the liquid crystal driver LSIHD66108 indicated by p552 from the Hitachi LCD controller / driver LSI data book p510 of the March, 1994 Hitachi, Ltd. semi-conductor operation division issue, as for the manufacture process of LSI, the standard not a process but process of high pressure-proofing were used.

[0003]

[Problem(s) to be Solved by the Invention] Although reduction of components mark and low cost were planned by forming the liquid crystal driver LSI into 1 chip with the liquid crystal display for portable small devices, since it was necessary to use a high proof-pressure process with such a conventional technique corresponding to liquid crystal driver voltage, it was difficult for a chip size to increase and to attain low-pricing. For example, at said liquid crystal driver LSIHD66108, as shown in drawing 2, pressure-proofing of LSI is low-battery-ized in shifting an electrical potential difference by electrical-potential-difference equalization drive synchronizing with the polarity of an alternating current, but as shown in drawing 3 R> 3, about 15V-is needed by 64 duty. Moreover, low-power-ization is called for from the portable small device and liquid crystal driver voltage is generated from the single power supply which is 3V, and it is necessary to increase 5 times in supply voltage 3V, to increase a pressure up to the business shown in drawing 4 6 times by supply voltage 2.5V, and to generate the liquid crystal driver voltage of 15V. For this reason, low-power-izing makes [in a booster circuit] high power efficiency that is, was difficult at the low price.

[0004] The purpose of this invention is low-battery-izing liquid crystal driver voltage, and is enabling manufacture of the liquid crystal driver LSI in the low proof-pressure process in which the formation of a small chip size is possible, and enabling low-pricing and low-power-ization.

[0005]

[Means for Solving the Problem] Low-battery-ization of liquid crystal driver voltage is enabled using the liquid crystal ingredient of the larger number of duty than the number of display Rhine of a liquid crystal panel by adjusting the bias ratio of the scan electrical potential difference of a liquid crystal panel drive, and a data electrical potential difference. Moreover, power efficiency can be easily made high by lessening the number of stages of the booster circuit in a power circuit by low-battery-ization of liquid crystal driver voltage.

[0006]

[Embodiment of the Invention] Next, the example of this invention is explained using drawing 11 from drawing 1 R > 1 and drawing 5. Drawing 1 is the block diagram of the liquid crystal display which applied this invention. 1 The liquid crystal drive LSI 2 CPU and 4 for a passive matrix liquid crystal panel and 3 A system memory, A system bus and 6 5 The connection bus of the liquid crystal drive LSI and a system bus, The connection bus by which 7 connects a system bus with CPU, the connection bus by which 8 connects a system bus with a system memory, The control circuit of the liquid crystal drive LSI and 10 9 The control signal to display memory, an indicative data, The data bus to which 11 transmits display memory to a liquid crystal drive circuit from display memory, and 12 transmits data, The control signal with which 13 controls a liquid crystal drive circuit, the power circuit where 14 generates liquid crystal driver voltage, The liquid crystal drive circuit which controls the data electrical potential difference on which 15 drives liquid crystal driver voltage and 16 drives a liquid crystal panel, and a scan electrical potential difference, the data electrical potential difference corresponding to an indicative data in 17, and 18 are scan electrical potential differences which scan a liquid crystal panel.

[0007] Liquid crystal display actuation of the above-mentioned liquid crystal drive LSI is explained. An indicative data is transmitted to the liquid crystal drive LSI 1 through a system bus 5 from the system section of a system memory 4 or CPU3. In the liquid crystal drive LSI 1, entry-of-data control is performed in a control circuit 9, and the indicative data for several pixel minutes of a liquid crystal panel 2 is written in display memory 11. In the liquid crystal drive circuit 16, an indicative data is read from display memory 11 in the Rhine unit, and the liquid crystal driver voltage corresponding to the indicative data of each pixel is outputted as a data electrical potential difference 17 based on the liquid crystal driver voltage 15. Furthermore, in the liquid crystal drive circuit 16, the liquid crystal driver voltage corresponding to sequential selection is outputted as a scan electrical potential difference 18 based on the liquid crystal driver voltage 15 synchronizing with the data electrical potential difference 17. At this time, the liquid crystal OFF state voltage of a liquid crystal panel and the liquid crystal driver voltage 15 corresponding to the number of duty are generated from the single power supply of the liquid crystal drive LSI 1 in a power circuit 14. Thus, the liquid crystal drive LSI for small liquid crystal panels considers as one chip for low-pricing by reduction of components mark, and the power source of LSI is used as a single power supply, and is generating liquid crystal driver voltage inside LSI.

[0008] Therefore, liquid crystal driver voltage is decided corresponding to the liquid crystal OFF state voltage of a liquid crystal panel, and the number of duty, and required LSI pressure-proofing of the liquid crystal drive LSI is decided. Next, pressure-proofing of the liquid crystal drive LSI is explained. The wave of the liquid crystal driver voltage in a two-line coincidence selection drive is shown in drawing 5. Passive matrix liquid crystal realizes ON and OFF of a display with the electrical-potential-difference actual value which consists of a data electrode and a scan electrode and is applied to a data electrode and a scan electrode. Liquid crystal applied voltage needs to perform the alternating current drive which reverses the polarity impressed in order to prevent printing of liquid crystal. By the two-line selection drive shown in drawing 5, it alternates by impressing a scan electrical potential difference to the non-choosing level VM, and impressing the selection level VH and the selection level VL to an object. On the other hand, a data electrical potential difference impresses the electrical potential difference of 3 level of V2 from the data level V0 from the relation between an indicative data and a scan electrical potential difference. When m and the number of drive duty are set to N for the data electrical-potential-

difference value a shown in drawing 5 , the scan electrical-potential-difference value b, and the number of coincidence selection Rhine, the display ON actual-value electrical potential difference Von is expressed with several 1, and the display OFF actual-value electrical potential difference Voff is similarly expressed with several 2.

[0009]

[Equation 1]

$$\text{表示オン実効値電圧 } V_{on} = \sqrt{\frac{(b+a)^2 + m \cdot b^2 + (N-m) \cdot a^2}{N}} \quad \dots (\text{数 } 1)$$

[0010]

[Equation 2]

$$\text{表示オフ実効値電圧 } V_{off} = \sqrt{\frac{(b-a)^2 + m \cdot b^2 + (N-m) \cdot a^2}{N}} \quad \dots (\text{数 } 2)$$

[0011] Moreover, the rated bias turning-on-and-off ratio from which the ratio of display ON-state-voltage Von in the case of the number N of drive duty and display OFF-state-voltage Voff serves as max is expressed with several 3.

[0012]

[Equation 3]

$$\text{最適バイアスオンオフ比 } r = \sqrt{\frac{\sqrt{N} + 1}{\sqrt{N} - 1}} \quad \dots (\text{数 } 3)$$

m : 同時選択ライン数

N : 駆動デューティ数

[0013] 64 duty, display ON-state-voltage Von calculated on the rated bias conditions shown in several 3, display OFF-state-voltage Voff, the data electrical potential difference Vseg, the scan electrical potential difference Vcom, and LSI pressure-proofing are shown from several 1 and several 2. Although LSI pressure-proofing can be reduced from 12.25V to 14.97V because LSI pressure-proofing considers as the electrical-potential-difference equalization drive shown in drawing 2 although OFF-state-voltage Voff will be set to 21.77V to 26.61V if it makes a several m coincidence selection drive one line in 1.8V to 2.2V, a high proof-pressure process is indispensable. the same -- the number of coincidence selection Rhine -- two lines -- LSI pressure-proofing -- 15.39V to 18.82V, and the number of coincidence selection Rhine -- four lines -- 10.89V to 13.30 -- 8.89V to 10.86V and the number of coincidence selection Rhine become [V and the number of coincidence selection Rhine] 7.70V to 9.41V by eight lines at six lines, and a high proof-pressure process is indispensable.

[0014] Then, it asked for the relation of the bias ratio of the scan electrical potential difference used as less than [LSI proof-pressure 6V] in which manufacture in a low proof-pressure process is possible, and a data electrical potential difference. As shown in drawing 7 , 64 duty, brightness Boff is displayed by 1 of Nor Marie Black / impressing display OFF-state-voltage Voff with 1/64 of liquid crystal ingredients, by impressing ON state voltage Von2, brightness Bon is displayed and the thing of it can be carried out. Furthermore, with the liquid crystal ingredient of duty 1/240, brightness Boff is displayed by impressing display OFF-state-voltage Voff, by impressing ON state voltage Von1, brightness Bon is displayed and the thing of it can be carried out. For this reason, by using the liquid crystal ingredient of the liquid crystal panel of 64 lines as the liquid crystal ingredient of 1/240 duty, it becomes possible to change the bias ratio of a data electrical potential difference and a scan electrical potential difference, and LSI pressure-proofing can be low-battery-ized. The result of having changed the bias ratio of a data electrical potential difference and a scan electrical potential difference into drawing 8 based on several 1 in the case of the liquid crystal ingredient of 1/240 duty and several 2, and having low-battery-ized LSI pressure-proofing is shown. OFF-state-voltage Voff LSI pressure-proofing in 1.8V to 2.2V When a several m coincidence selection drive is made into one line, 8.00V to 9.80V and the number of coincidence selection Rhine in two lines From 5.70V to 6.90V 6.80V to 8.30V and the number of

coincidence selection Rhine by six lines at four lines From 7.60V to 9.20V [the number of coincidence selection Rhine] The number of coincidence selection Rhine is set to 7.70V to 9.41V by eight lines, and it enables the number of coincidence selection Rhine for LSI pressure-proofing to become less than [6V] in two lines and OFF-state-voltage 1.8V, and to manufacture LSI in a low proof-pressure process. [0015] As mentioned above, by using the liquid crystal ingredient of the larger number of duty than the number of Rhine of the actually driven liquid crystal panel, it becomes possible to change the bias ratio of a data electrical potential difference and a scan electrical potential difference, and LSI pressure-proofing can be low-battery-ized. In addition, in this example, although the liquid crystal panel was made into 64 lines and the liquid crystal ingredient was made into 1/240 duty, if the liquid crystal ingredient of 1/300 duty with the still bigger number of duty is used, it is possible to low-battery-ize LSI pressure-proofing further.

[0016] Furthermore, since liquid crystal driver voltage is made to less than [6V] in this example, the input power electrical potential difference VCC can make twice and 2.5V similarly a 3 times as many booster circuit as this by 3V to the input power electrical potential difference VCC being needed in 3V, and a 6 times as many booster circuit as this being needed by 5 times and 2.5V with the case where the conventional liquid crystal driver voltage is 15V in a power circuit 14. A 5 times as many booster circuit as this is shown in drawing 10 , and the example of a twice as many booster circuit as this is shown in drawing 11 . Compared with the 5 time booster circuit of drawing 10 , a circuit scale can be made small, and since there are also few circuit number of stageses of a pressure up, it is also easily possible to make power efficiency high in 2 double booster circuit of drawing 11 $R > 1$.

[0017] As mentioned above, in this invention, since low-battery-izing of liquid crystal driver voltage is possible, it becomes possible to manufacture the liquid crystal drive LSI in a low proof-pressure process with the easy formation of a small chip size, and low-pricing can be attained. Furthermore, the reduction of the power consumption of a liquid crystal display including the high power efficiency of the booster circuit of a power circuit is attained for low-battery-izing of liquid crystal driver voltage. In addition, although the data electrical-potential-difference drive circuit and the scan electrical-potential-difference drive circuit were considered as the liquid crystal drive LSI of one chip in this example, the effectiveness same also as another chip is acquired in these.

[0018]

[Effect of the Invention] According to this invention, since low-battery-izing of liquid crystal driver voltage is possible, it becomes possible to manufacture the liquid crystal drive LSI in a low proof-pressure process with the easy formation of a small chip size, and low-pricing can be attained. Furthermore, the reduction of the power consumption of a liquid crystal display including the high power efficiency of the booster circuit of a power circuit is attained for low-battery-izing of liquid crystal driver voltage.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram of the example of the liquid crystal display which applied this invention.

[Drawing 2] Drawing showing a liquid crystal driver voltage wave.

[Drawing 3] Drawing showing the relation between the number of duty, OFF state voltage, and pressure-proofing of the liquid crystal drive LSI.

[Drawing 4] Drawing showing the relation of the pressure up of the input power in a power circuit.

[Drawing 5] Drawing showing a liquid crystal driver voltage wave.

[Drawing 6] Drawing showing the relation between the number of duty, OFF state voltage, and pressure-proofing of the liquid crystal drive LSI.

[Drawing 7] Drawing showing the electrical-potential-difference actual value of a liquid crystal ingredient, and the relation of brightness.

[Drawing 8] Drawing showing the relation between the number of duty, OFF state voltage, and pressure-proofing of the liquid crystal drive LSI.

[Drawing 9] Drawing showing the relation of the pressure up of the input power in a power circuit.

[Drawing 10] Drawing showing the booster circuit in a power circuit.

[Drawing 11] Drawing showing the booster circuit in a power circuit.

[Description of Notations]

1 -- The liquid crystal drive LSI, 2 -- A passive matrix liquid crystal panel, 3 -- CPU, 4 -- A system memory, 5 -- A system bus, 6 -- The connection bus of the liquid crystal drive LSI and a system bus, 7 -- The connection bus which connects a system bus with CPU, 8 -- The connection bus which connects a system bus with a system memory, 9 -- The control circuit of the liquid crystal drive LSI, 10 -- The control signal to display memory, an indicative data, 11 -- Display memory, 12 -- The data bus which transmits data to a liquid crystal drive circuit from display memory, 13 [-- The liquid crystal drive circuit 17 which control the data electrical potential difference which drives a liquid crystal panel, and a scan electrical potential difference / -- The data electrical potential difference corresponding to an indicative data, 18 / -- Scan electrical potential difference which scans a liquid crystal panel] -- The control signal, 14 which control a liquid crystal drive circuit -- The power circuit, 15 which generate liquid crystal driver voltage -- Liquid crystal driver voltage, 16

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-249102

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.⁶
G 0 2 F 1/133
G 0 9 G 3/36

識別記号
5 4 5
5 2 0

F I
G 0 2 F 1/133
G 0 9 G 3/36
5 4 5
5 2 0

審査請求 未請求 請求項の数9 O L (全 8 頁)

(21) 出願番号 特願平10-46744

(22) 出願日 平成10年(1998) 2月27日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 新田 博幸

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 真野 宏之

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 工藤 泰幸

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

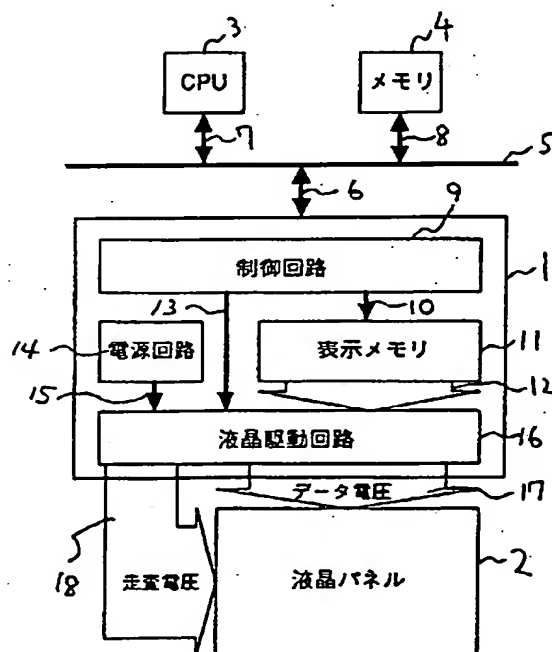
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 本発明の目的は、液晶駆動電圧を低電圧化することで、小チップサイズ化が可能な低耐圧プロセスで液晶ドライバLSIを製造可能とし低価格化、および低消費電力化を可能とすることである。

【解決手段】 上記目的のため、液晶パネル2の表示ライン数よりも大きなデューティ数の液晶材料を用い、液晶パネル駆動の走査電圧18とデータ電圧17のバイアス比を調整することで液晶駆動電圧の低電圧化を可能とする。また、液晶駆動電圧の低電圧化により、電源回路14での昇圧回路の段数を少なくすることで、電力効率を容易に高くすることができる。

図 1



(2)

【特許請求の範囲】

【請求項1】データ電極と走査電極で構成される液晶パネルと、表示データに対応した駆動電圧を発生するデータ電圧駆動回路と、液晶パネルの走査ラインを順次選択する走査電圧駆動回路と、液晶駆動電圧を生成する電源回路を備えた液晶表示装置において、

上記液晶パネルは表示ライン数より大きいデューティ数の液晶材料とすることを特徴とする液晶表示装置。

【請求項2】請求項1に記載の液晶表示装置において、上記データ電圧駆動回路と上記走査電圧駆動回路での駆動方式は2ライン同時選択駆動であることを特徴とする液晶表示装置。

【請求項3】請求項1に記載の液晶表示装置において、上記電源回路は6V以下となること特徴とする液晶表示装置。

【請求項4】データ電極と走査電極で構成される液晶パネルと、表示データに対応した駆動電圧を発生するデータ電圧駆動回路と、液晶パネルの走査ラインを順次選択する走査電圧駆動回路と、液晶駆動電圧を生成する電源回路を備えた液晶表示装置において、

上記電源回路で生成する液晶駆動電圧は表示ライン数で最大となるオン電圧とオフ電圧の比が最大となる走査電圧より小さいことを特徴とする液晶表示装置。

【請求項5】請求項4に記載の液晶表示装置において、上記データ電圧駆動回路と上記走査電圧駆動回路での駆動方式は2ライン同時選択駆動であることを特徴とする液晶表示装置。

【請求項6】請求項4に記載の液晶表示装置において、上記電源回路は6V以下となること特徴とする液晶表示装置。

【請求項7】データ電極と走査電極で構成される液晶パネルと、表示データに対応した駆動電圧を発生するデータ電圧駆動回路と、液晶パネルの走査ラインを順次選択する走査電圧駆動回路と、液晶駆動電圧を生成する電源回路を備えた液晶表示装置において、上記電源回路で生成する液晶駆動電圧は入力電源電圧を3倍以下に昇圧すること特徴とする液晶表示装置。

【請求項8】請求項7に記載の液晶表示装置において、上記データ電圧駆動回路と上記走査電圧駆動回路での駆動方式は2ライン同時選択駆動であることを特徴とする液晶表示装置。

【請求項9】請求項7に記載の液晶表示装置において、上記電源回路は6V以下となること特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係り、特にパッシブマトリックス液晶パネルの液晶材料、駆動回路、及び液晶ドライバ回路に属する。

【0002】

2

【従来の技術】従来の液晶表示装置は、縦横に交差するデータ電極と走査電極で構成される液晶パネルにおいて、データ電極に表示データに対応した液晶駆動電圧、走査電極に選択電圧を印加し表示を行っていた。例えば、1994年3月株式会社日立製作所半導体事業部発行の日立LCDコントローラ/ドライバLSIデータブックp510からp552に記載されている液晶ドライバLSI HD66108のように、携帯用小型機器向けに1チップの液晶ドライバLSIで液晶パネルを駆動するLSI耐圧はデューティ数64で15Vが必要となるため、LSIの製造プロセスは標準のプロセスではなく高耐圧のプロセスが用いられていた。

【0003】

【発明が解決しようとする課題】携帯用小型機器向けの液晶表示装置では、液晶ドライバLSIを1チップ化することで部品点数の削減、低コストを図っているが、このような従来技術では、液晶駆動電圧に対応して高耐圧プロセスを用いる必要があるため、チップサイズが増大し低価格化を図ることが困難であった。例えば、前記液晶ドライバLSI HD66108では、図2に示すように電圧平均化駆動により交流の極性に同期して電圧をシフトすることでLSIの耐圧を低電圧化しているが、図3に示すようにデューティ数64で15V程度が必要となっている。また、携帯用小型機器に対しては低消費電力化が求められており、3Vの単一電源から液晶駆動電圧を生成しており、図4に示す用に電源電圧3Vでは5倍に、電源電圧2.5Vでは6倍に昇圧して15Vの液晶駆動電圧を生成する必要がある。このため低価格で昇圧回路で電力効率を高くする、つまり低消費電力化が困難であった。

【0004】本発明の目的は、液晶駆動電圧を低電圧化することで、小チップサイズ化が可能な低耐圧プロセスで液晶ドライバLSIを製造可能とし低価格化、および低消費電力化を可能とすることである。

【0005】

【課題を解決するための手段】液晶パネルの表示ライン数よりも大きなデューティ数の液晶材料を用い、液晶パネル駆動の走査電圧とデータ電圧のバイアス比を調整することで液晶駆動電圧の低電圧化を可能とする。また、液晶駆動電圧の低電圧化により、電源回路での昇圧回路の段数を少なくすることで、電力効率を容易に高くすることができる。

【0006】

【発明の実施の形態】次に、本発明の実施例について図1、図5から図11を用いて説明する。図1は、本発明を適用した液晶表示装置のブロック図であり、1は液晶駆動LSI、2はパッシブマトリックス液晶パネル、3はCPU、4はシステムメモリ、5はシステムバス、6は液晶駆動LSIとシステムバスの接続バス、7はCPUとシステムバスを接続する接続バス、8はシステムメモ

50

(3)

リとシステムバスを接続する接続バス、9は液晶駆動LSIの制御回路、10は表示メモリへの制御信号、表示データ、11は表示メモリ、12は表示メモリから液晶駆動回路へデータを転送するデータバス、13は液晶駆動回路を制御する制御信号、14は液晶駆動電圧を生成する電源回路、15は液晶駆動電圧、16は液晶パネルを駆動するデータ電圧と走査電圧を制御する液晶駆動回路、17は表示データに対応したデータ電圧、18は液晶パネルの走査を行う走査電圧である。

【0007】上記液晶駆動LSIの液晶表示動作について説明する。システムメモリ4やCPU3のシステム部から表示データはシステムバス5を介して液晶駆動LSI1に転送される。液晶駆動LSI1では、制御回路9でデータの入力制御が行われ、表示メモリ11に液晶パネル2の画素数分の表示データが書き込まれる。液晶駆動回路16では表示メモリ11からライン単位で表示データを読み出し、液晶駆動電圧15に基づき各画素の表示データに対応した液晶駆動電圧をデータ電圧17として出力する。さらに、液晶駆動回路16ではデータ電圧17に同期して液晶駆動電圧15に基づき順次選択に対応した液晶駆動電圧を走査電圧18として出力する。このとき電源回路14では液晶駆動LSI1の単一電源から液晶パネルの液晶オフ電圧、デューティ数に対応した液晶駆動電圧15を生成する。このように、小型液晶パ*

*ネル用の液晶駆動LSIは部品点数の低減による低価格化のため1チップとし、LSIの電源は単一電源としLSI内部で液晶駆動電圧を生成している。

【0008】従って、液晶パネルの液晶オフ電圧、デューティ数に対応して液晶駆動電圧が決まり、液晶駆動LSIの必要なLSI耐圧が決まる。次に、液晶駆動LSIの耐圧について説明する。図5に2ライン同時選択駆動の場合の液晶駆動電圧の波形を示す。パッシブマトリックス液晶はデータ電極と走査電極から構成されておりデータ電極と走査電極にかかる電圧実効値により表示のオンとオフを実現する。液晶印加電圧は液晶の焼き付きを防ぐため印加する極性を反転する交流駆動を行う必要がある。図5に示す2ライン選択駆動では、走査電圧を非選択レベルVMに対象に選択レベルVH、選択レベルVLを印加することで交流を行う。一方、データ電圧は表示データと走査電圧の関係からデータレベルV0からV2の3レベルの電圧を印加する。図5に示すデータ電圧値a、走査電圧値b、同時選択ライン数をm、駆動デューティ数をNとすると、表示オン実効値電圧Vonは数1で表わされ、同様に表示オフ実効値電圧Voffは数2で表わされる。

【0009】

【数1】

$$\text{表示オン実効値電圧 } V_{on} = \sqrt{\frac{(b+a)^2 + m^2 b^2 + (N-m)^2 a^2}{N}} \quad \dots (\text{数1})$$

【0010】

※ ※ 【数2】

$$\text{表示オフ実効値電圧 } V_{off} = \sqrt{\frac{(b-a)^2 + m^2 b^2 + (N-m)^2 a^2}{N}} \quad \dots (\text{数2})$$

【0011】また、駆動デューティ数Nの場合の表示オン電圧Von、表示オフ電圧Voffの比が最大となる最適バイアスオンオフ比は数3で表わされる。

$$\text{最適バイアスオンオフ比 } r = \sqrt{\frac{N+1}{N-1}} \quad \dots (\text{数3})$$

m: 同時選択ライン数

N: 駆動デューティ数

【0013】数1、数2からデューティ数64、数3に示す最適バイアス条件で計算した表示オン電圧Von、表示オフ電圧Voff、データ電圧Vseg、走査電圧Vcom、LSI耐圧を示す。LSI耐圧はオフ電圧Voffが1.8Vから2.2Vの範囲では、同時選択駆動数mを1ラインとすると21.77Vから26.61Vとなるが、図2に示した電圧平均化駆動とすることでLSI耐圧は12.25Vから14.97Vに低減できるが高耐圧プロセスが必須である。同様に、同時選択ライン数が2ラインではLSI耐圧は15.39Vから18.82V、同時選択ライン数が4ラインでは10.89Vから13.30V、同時選択ライン数が6ラインでは8.89Vから10.86V、同時選択ライン数が8

ラインでは7.70Vから9.41Vとなり、高耐圧プロセスが必須である。

【0014】そこで、低耐圧プロセスでの製造が可能なLSI耐圧6V以下となる走査電圧とデータ電圧のバイアス比の関係を求めた。図7に示す様にノーマリーブラックの1/64デューティ1/64の液晶材料では、表示オフ電圧Voffを印加することで輝度Boffを表示し、オン電圧Von2を印加することで輝度Bonを表示することできる。さらに、デューティ1/240の液晶材料では、表示オフ電圧Voffを印加することで輝度Boffを表示し、オン電圧Von1を印加することで輝度Bonを表示することできる。このため、64ラインの液晶パネルの液晶材料を1/240デューティ

(4)

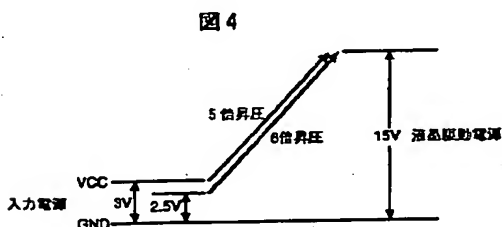
5
の液晶材料とすることで、データ電圧と走査電圧のバイアス比を変えることが可能となりL S I 耐圧を低電圧化することができる。図8に、1/240デューティの液晶材料の場合、数1、数2に基づいてデータ電圧と走査電圧のバイアス比を変えL S I 耐圧を低電圧化した結果を示す。L S I 耐圧はオフ電圧V_{off}が1.8Vから2.2Vの範囲では、同時選択駆動数mを1ラインとすると8.00Vから9.80V、同時選択ライン数が2ラインでは5.70Vから6.90V、同時選択ライン数が4ラインでは6.80Vから8.30V、同時選択ライン数が6ラインでは7.60Vから9.20V、同時選択ライン数が8ラインでは7.70Vから9.41Vとなり、同時選択ライン数が2ライン、オフ電圧1.8VではL S I 耐圧は6V以下となり低耐圧プロセスでL S I を製造することが可能となる。

【0015】以上の様に、実際に駆動する液晶パネルのライン数より大きなデューティ数の液晶材料を用いることで、データ電圧と走査電圧のバイアス比を変えることが可能となりL S I 耐圧を低電圧化することができる。尚、本実施例では、液晶パネルを64ライン、液晶材料を1/240デューティとしたが、さらにデューティ数の大きな1/300デューティの液晶材料を用いれば、さらにL S I 耐圧を低電圧化することが可能である。

【0016】さらに、本実施例では液晶駆動電圧を6V以下にできるため、電源回路14では、従来の液晶駆動電圧が15Vの場合では入力電源電圧VCCが3Vでは5倍、2.5Vでは6倍の昇圧回路が必要となるのに対し、同様に入力電源電圧VCCが3Vでは2倍、2.5Vでも3倍の昇圧回路とすることができる。図10に5倍の昇圧回路、図11に2倍の昇圧回路の例を示す。図11の2倍昇圧回路では、図10の5倍昇圧回路に比べて回路規模を小さくすることができ、昇圧の回路段数も少ないため電力効率を高くすることも容易に可能である。

【0017】以上のように、本発明では、液晶駆動電圧の低電圧化が可能のため、液晶駆動L S I を小チップサイズ化が容易な低耐圧プロセスで製造することが可能となり、低価格化が図れる。さらに、液晶駆動電圧の低電圧化のため、電源回路の昇圧回路の高電力効率を含めて、液晶表示装置の消費電力の低減が可能となる。尚、本実施例ではデータ電圧駆動回路と走査電圧駆動回路を

【図4】



6

1チップの液晶駆動L S Iとしたが、これらを別チップとしても同様な効果が得られる。

【0018】

【発明の効果】本発明によれば、液晶駆動電圧の低電圧化が可能のため、液晶駆動L S I を小チップサイズ化が容易な低耐圧プロセスで製造することが可能となり、低価格化が図れる。さらに、液晶駆動電圧の低電圧化のため、電源回路の昇圧回路の高電力効率を含めて、液晶表示装置の消費電力の低減が可能となる。

【図面の簡単な説明】

【図1】本発明を適用した液晶表示装置の実施例のブロック図。

【図2】液晶駆動電圧波形を示す図。

【図3】デューティ数、オフ電圧と液晶駆動L S I の耐圧の関係を示す図。

【図4】電源回路での入力電源の昇圧の関係を示す図。

【図5】液晶駆動電圧波形を示す図。

【図6】デューティ数、オフ電圧と液晶駆動L S I の耐圧の関係を示す図。

【図7】液晶材料の電圧実効値と輝度の関係を示す図。

【図8】デューティ数、オフ電圧と液晶駆動L S I の耐圧の関係を示す図。

【図9】電源回路での入力電源の昇圧の関係を示す図。

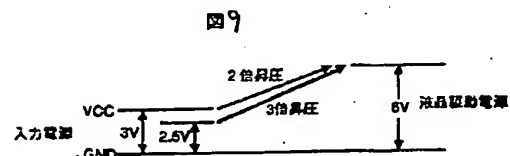
【図10】電源回路での昇圧回路を示す図。

【図11】電源回路での昇圧回路を示す図。

【符号の説明】

1…液晶駆動L S I、2…パッシブマトリック液晶パネル、3…CPU、4…システムメモリ、5…システムバス、6…液晶駆動L S I とシステムバスの接続バス、7…CPUとシステムバスを接続する接続バス、8…システムメモリとシステムバスを接続する接続バス、9…液晶駆動L S I の制御回路、10…表示メモリへの制御信号、表示データ、11…表示メモリ、12…表示メモリから液晶駆動回路へデータを転送するデータバス、13…液晶駆動回路を制御する制御信号、14…液晶駆動電圧を生成する電源回路、15…液晶駆動電圧、16…液晶パネルを駆動するデータ電圧と走査電圧を制御する液晶駆動回路、17…表示データに対応したデータ電圧、18…液晶パネルの走査を行う走査電圧

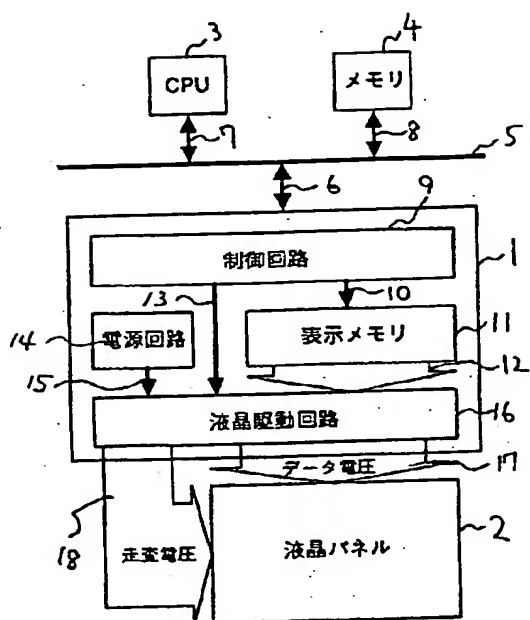
【図9】



(5)

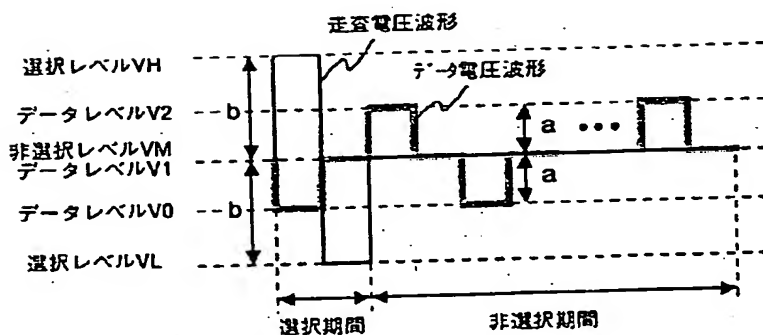
【図1】

図 1



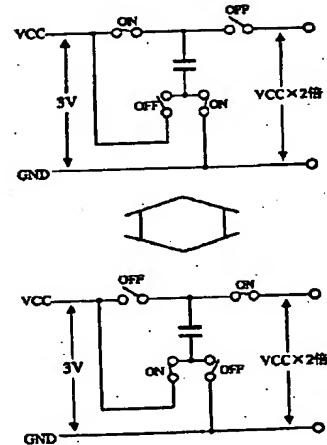
【図5】

図 5



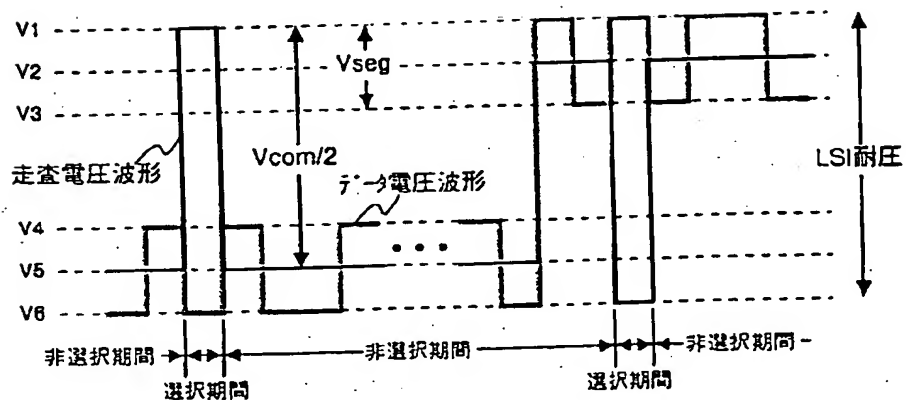
【図11】

図 11



【図2】

図 2



(6)

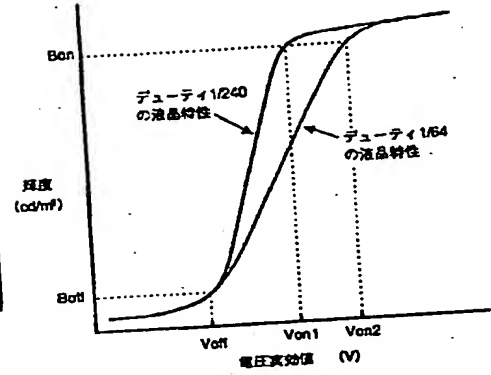
【図3】

図3

デューティ数 N	初電圧 Voff(V)	お電圧 Von(V)	同時選択ライン m	データ電圧 Vseg(V)	走査電圧 Vcom(V)	LSI耐圧 (V)
64	1.40	1.59	1	2.12	16.93	9.53
64	1.60	1.81	1	2.42	19.35	10.89
64	1.80	2.04	1	2.72	21.77	12.25
64	2.00	2.27	1	3.02	24.19	13.61
64	2.20	2.50	1	3.33	26.61	14.97
64	2.40	2.72	1	3.63	29.03	16.33

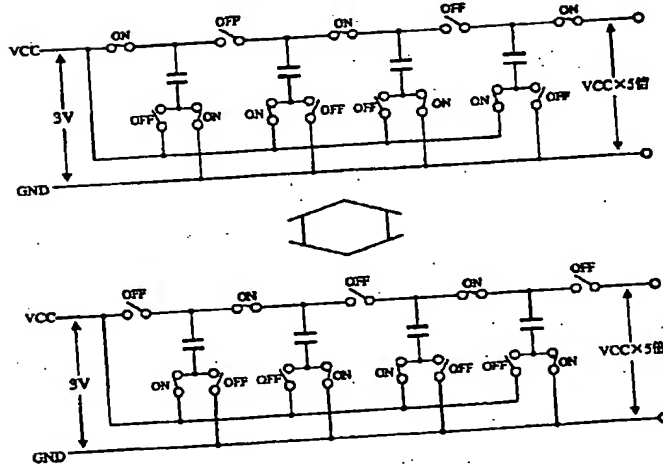
【図7】

図7



【図10】

図10



(7)

【図6】

図6

データ数 N	初電圧 Voff(V)	初電圧 Von(V)	同時選択ライン m	データ電圧 Vseg(V)	走査電圧 Vcom(V)	LSI耐圧 (V)
64	1.40	1.59	1	2.12	16.93	16.93
64	1.60	1.81	1	2.42	19.35	19.35
64	1.80	2.04	1	2.72	21.77	21.77
64	2.00	2.27	1	3.02	24.19	24.19
64	2.20	2.50	1	3.33	26.61	26.61
64	2.40	2.72	1	3.63	29.03	29.03
64	1.40	1.59	2	2.99	11.97	11.97
64	1.60	1.81	2	3.42	13.68	13.68
64	1.80	2.04	2	3.85	15.39	15.39
64	2.00	2.27	2	4.28	17.10	17.10
64	2.20	2.50	2	4.70	18.82	18.82
64	2.40	2.72	2	5.13	20.53	20.53
64	1.40	1.59	4	4.23	8.47	8.47
64	1.60	1.81	4	4.84	9.68	9.68
64	1.80	2.04	4	5.44	10.89	10.89
64	2.00	2.27	4	6.05	12.09	12.09
64	2.20	2.50	4	6.65	13.30	13.30
64	2.40	2.72	4	7.26	14.51	14.51
64	1.40	1.59	8	5.18	6.91	6.91
64	1.60	1.81	8	5.93	7.90	7.90
64	1.80	2.04	8	6.67	8.89	8.89
64	2.00	2.27	8	7.41	9.88	9.88
64	2.20	2.50	8	8.15	10.86	10.86
64	2.40	2.72	8	8.89	11.85	11.85
64	1.40	1.59	8	5.99	5.99	5.99
64	1.60	1.81	8	6.84	6.84	6.84
64	1.80	2.04	8	7.70	7.70	7.70
64	2.00	2.27	8	8.55	8.55	8.55
64	2.20	2.50	8	9.41	9.41	9.41
64	2.40	2.72	8	10.26	10.26	10.26

(8)

【図8】

図8

デューティ数 N	初電圧 Voff(V)	終電圧 Von(V)	同時選択ライン m	ゲート電圧 Vseg(V)	走査電圧 Vcom(V)	LSI耐圧 (V)
64	1.40	1.50	1	2.79	6.30	6.30
64	1.60	1.67	1	2.99	6.70	6.70
64	1.80	1.92	1	3.59	8.00	8.00
64	2.00	2.13	1	3.98	8.90	8.90
64	2.20	2.35	1	4.38	9.80	9.80
64	2.40	2.56	1	4.78	10.70	10.70
64	1.40	1.51	2	3.92	5.00	5.00
64	1.60	1.71	2	4.50	5.10	5.10
64	1.80	1.92	2	5.07	5.70	5.70
64	2.00	2.13	2	5.63	6.30	6.30
64	2.20	2.35	2	6.20	6.90	6.90
64	2.40	2.56	2	6.76	7.60	7.60
64	1.40	1.55	4	5.28	5.30	5.30
64	1.60	1.77	4	6.02	6.10	6.10
64	1.80	1.99	4	6.79	6.80	6.80
64	2.00	2.21	4	7.53	7.60	7.60
64	2.20	2.43	4	8.30	8.30	8.30
64	2.40	2.65	4	9.04	9.10	9.10
64	1.40	1.58	6	5.82	5.90	5.90
64	1.60	1.81	6	6.68	6.70	6.70
64	1.80	2.03	6	7.48	7.60	7.60
64	2.00	2.26	6	8.33	8.40	8.40
64	2.20	2.48	6	9.19	9.20	9.20
64	2.40	2.71	6	9.99	10.10	10.10
64	1.40	1.59	8	5.99	5.99	5.99
64	1.60	1.81	8	6.84	6.84	6.84
64	1.80	2.04	8	7.70	7.70	7.70
64	2.00	2.27	8	8.55	8.55	8.55
64	2.20	2.50	8	9.41	9.41	9.41
64	2.40	2.72	8	10.26	10.26	10.26

フロントページの続き

(72) 発明者 恒川 悟

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内